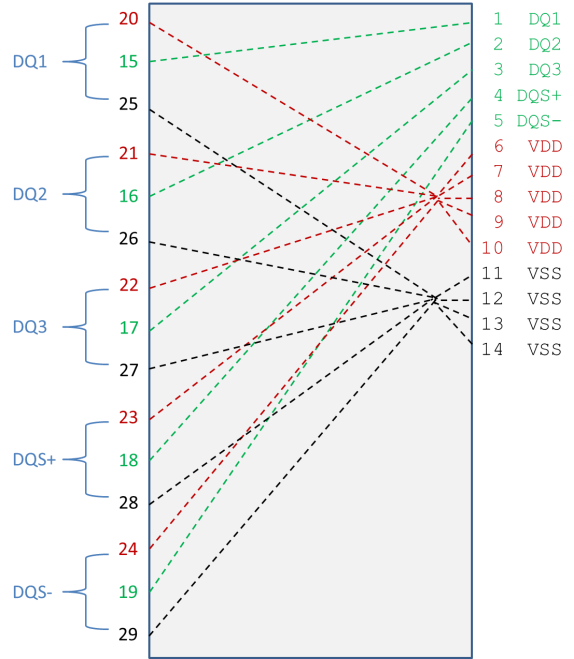
The Terminals of an Interconnect Model may be located at Pins and Pads, Pins and Buffers, or Pads and Buffers. A single Interconnect Model shall not have Terminals at Pins, Pads and Buffers simultaneously.

*Example:*

[Pin] signal\_name model\_name      R\_pin   L\_pin   C\_pin

A1    DQ1         DQ

A2    DQ2         DQ

A3    DQ3         DQ

D1    DQS+        DQS

D2    DQS-        DQS

P1    VDD         POWER

P2    VDD         POWER

P3    VDD         POWER

P4    VDD         POWER

P5    VDD         POWER

G1    VSS         GND

G2    VSS         GND

G3    VSS         GND

G4    VSS         GND

| Full Package/Die Model Complex Power Distribution

[Begin Interconnect Model]

Number\_of\_Terminals 29

1  Pin\_I/O     Pin\_name A1  |  DQ1         DQ

2  Pin\_I/O     Pin\_name A2  |  DQ2         DQ

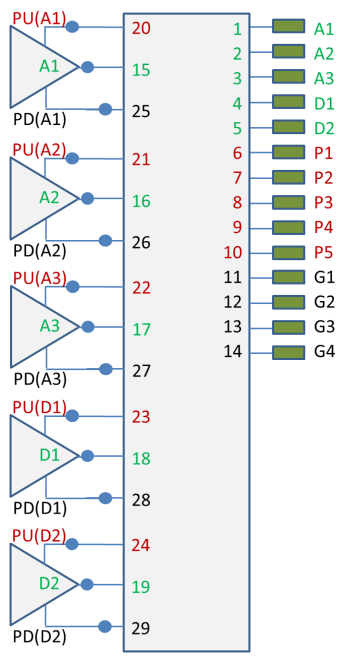
3  Pin\_I/O     Pin\_name A3  |  DQ3         DQ

4  Pin\_I/O     Pin\_name D1  |  DQS+        DQS

5  Pin\_I/O     Pin\_name D2  |  DQS-        DQS

6  Pin\_I/O     Pin\_name P1  |  VDD         POWER

7  Pin\_I/O     Pin\_name P2  |  VDD         POWER

**8  Pin\_I/O     Pin\_name P3  |  VDD         POWER

9  Pin\_I/O     Pin\_name P4  |  VDD         POWER

10 Pin\_Rail    Pin\_name P5  |  VDD         POWER

11 Pin\_Rail    Pin\_name G1  |  VSS         GND

12 Pin\_Rail    Pin\_name G2  |  VSS         GND

13 Pin\_Rail    Pin\_name G3  |  VSS         GND

14 Pin\_Rail    Pin\_name G4  |  VSS         GND

15 Buffer\_I/O  Pin\_name A1  |  DQ1         DQ

16 Buffer\_I/O  Pin\_name A2  |  DQ2         DQ

17 Buffer\_I/O  Pin\_name A3  |  DQ3         DQ

18 Buffer\_I/O  Pin\_name D1  |  DQS+        DQS

19 Buffer\_I/O  Pin\_name D2  |  DQS-        DQS

20 PUref   Pin\_name A1  |  DQ1         DQ

21 PUref   Pin\_name A2  |  DQ2         DQ

22 PUref   Pin\_name A3  |  DQ3         DQ

23 PUref   Pin\_name D1  |  DQS+        DQS

24 PUref   Pin\_name D2  |  DQS-        DQS

25 PDref   Pin\_name A1  |  DQ1         DQ

26 PDref   Pin\_name A2  |  DQ2         DQ

27 PDref   Pin\_name A3  |  DQ3         DQ

28 PDref   Pin\_name D1  |  DQS+        DQS

29 PDref   Pin\_name D1  |  DQS+        DQS

[End Interconnect Model]

*Keyword:* [**End Interconnect Model**]

*Required:* Yes, for each instance of the [Begin Interconnect Model] keyword

*Description:* Indicates the end of the Interconnect Model data.

*Other Notes:* Between the [Begin Interconnect Model] and [End Interconnect Model] keywords is the package model data itself. The data describes any number of interfaces to either IBIS-ISS models or Touchstone files.